

PUB. NO.: 54-095183 [JP 54095183 A]

PUBLISHED: July 27, 1979 (19790727)

INVENTOR(s): ODATE MITSUO

APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 53-003125 [JP 783125]

FILED: January 13, 1978 (19780113)

INTL CLASS: [2] H01L-025/10

JAPIO CLASS: 42.2 (ELECTRONICS — Solid State Components)

JOURNAL: Section: E, Section No. 141, Vol. 03, No. 117, Pg. 127,

September 29, 1979 (19790929)

ABSTRACT

PURPOSE: To reduce the distortion applied to an element when an electrode is brought into contact with the element by pressure, by interposing a powder metallic layer with a particle diameter below 2.mu.m.

CONSTITUTION: A powder layer 7 with approximately 0.5 mm thickness is generated on the capacity bottom face of base electrode 2 and case 3. Element 1 is put on layer 7 so that electrode 13b may be at the top. Insulating ring 5 is inserted to leading-out electrode 4, and plate spring 6 is inserted. After that, the pressure over three times as large as the spring force of plate spring 6 is applied to solidify layer 7; and after the plate spring is fixed by a protrusion, a device is completed by welding and connection. In this structure, since powder layer 7 becomes a pressure buffering materials and the warp of element 1 is not reformed, element 1 is prevented from being affected by the distortion to a Si substrate and cracking. The thermal resistance and forward voltage drop are reduced.

において、袋輪は既往状況より既往歴下を、横輪
は既往歴下に用いるが來アヒニクムの位子
を七ぞぞれ示し、その袋輪は既往歴と位子をと
る所を示す既往歴であり、横輪は既往歴下に
の圖の關係を示す既往歴である。この圖
はナビとの關係を示す既往歴である。ナビの圖
から明らかに、位子位子は2ヶ所以下に
下すところにナビとの關係を示す既往歴(1)と
ナビの圖の位子位子は既往歴下を示すことを
示す。

なお、上述した実験例では、粉末金属層を形成するため深研削として2.5μ以下の粒子目をもつたアルミニウム粉末を用いる場合について示したが、この場合深研削としてはアルミニウム以外にニッケルの粉末、銅、金などこれらの合金などを用いることができる。また、充電率は100%以外に半導体は電子子で電圧をかかせた状態にする際のアーリストなどにも適用することは勿論である。

以上説明したように、充電率による充電電流が半導体電極によれば、半導体電子と半導体との間の2.5μ以下の粒子層をもつた粉末金属層からなる

贵金属を介在することによりCOの実質量が半導体素子に対して最終材料としての割合を一つの半導体素子に加わるストレスを減少させることで、半導体素子に加わるとともに、半導体素子と玉電極の接続性による熱抵抗が減少化するところがわかるという結果があつる。

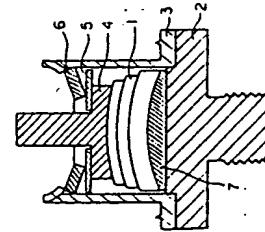
以上が第一回で示した例を示す。第2回は第一回と同様に示すが、半導体素子の詳細断面図、第3回は第一回と同様に示すが、半導体素子の断面図を示す。第4回は第一回と同様に示すが、半導体素子の断面図を示す。

(1) 半導体素子、(2) ベース電極
(3) (王冠透)、(4) ケース、(4) 引出
し電極(王冠透)、(5) 地球リンク、(6) 四バネ、(7) 沈没金属性

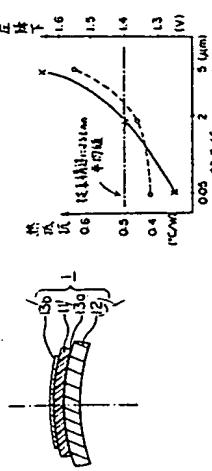
代理人 喜野 位一(外1名)

卷之三

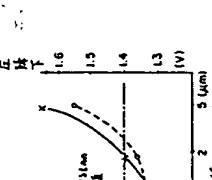
四
四



20



卷三



THIS PAGE BLANK (USPTO)